

LOAD DRIVING CIRCUIT

Patent number: JP2001168697
Publication date: 2001-06-22
Inventor: ITAKURA HIROKAZU; NAGATA JUNICHI
Applicant: DENSO CORP
Classification:
- international: H03K17/08; G05F3/26; H03K17/687
- european:
Application number: JP20000205286 20000706
Priority number(s):

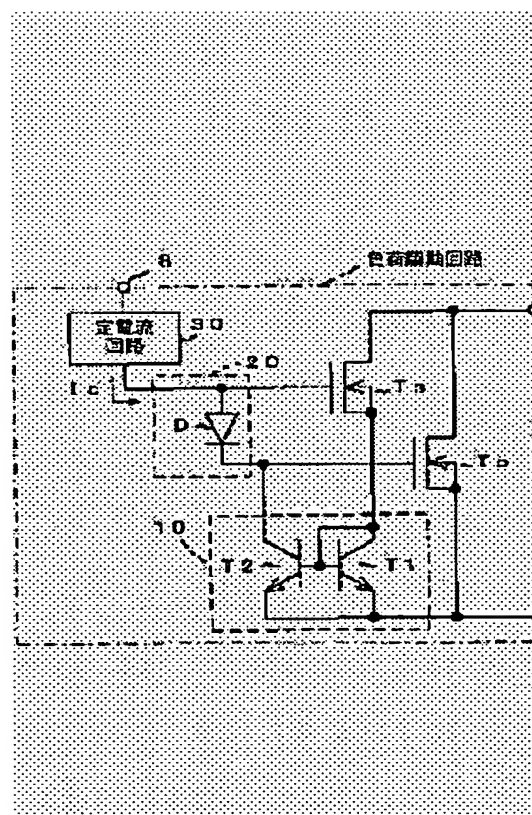
Also published

US6396
DE1004

Abstract of JP2001168697

PROBLEM TO BE SOLVED: To provide a load driving circuit capable of restricting a load current precisely to be equal to or smaller a prescribed value with out receiving the influence of the variation of the characteristic of a circuit element, temperature variation, etc.

SOLUTION: A series circuit consisting of a detection transistor Ts and an NPN transistor T1 is connected in parallel with an output transistor To for supplying the load current to a load 2, and a diode D for generating the same voltage drop as that generated at the transistor T1 is provided between the transistor To and the transistor Ts. Further, a constant current circuit 30 for supplying a constant current I_c is connected to the gate of the transistor Ts, and a second transistor T2 constituting a current mirror circuit with the transistor T1 is connected to the gate of the transistor To. As the result, the restricted value of the load current is prevented from varying due to the variation, etc., of a circuit element, thereby the load current can be restricted precisely to be equal to or smaller than the prescribed value.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168697

(P2001-168697A)

(43) 公開日 平成13年6月22日(2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 3 K 17/08		H 0 3 K 17/08	C 5 H 4 2 0
G 0 5 F 3/26		G 0 5 F 3/26	5 J 0 5 5
H 0 3 K 17/687		H 0 3 K 17/687	A

審査請求 未請求 請求項の数18 O L (全 19 頁)

(21) 出願番号 特願2000-205286(P2000-205286)

(22) 出願日 平成12年7月6日(2000.7.6)

(31) 優先権主張番号 特願平11-279302

(32) 優先日 平成11年9月30日(1999.9.30)

(33) 優先権主張国 日本(J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 板倉 弘和

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 永田 淳一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100082500

弁理士 足立 勉

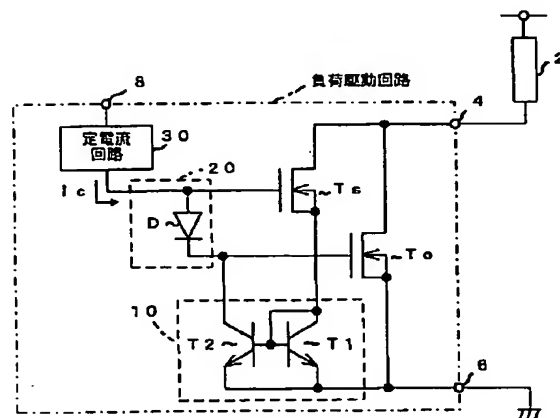
最終頁に続く

(54) 【発明の名称】 負荷駆動回路

(57) 【要約】

【課題】 回路素子の特性のばらつきや温度変化等の影響を受けることなく、負荷電流を所定値以下に高精度に制限し得る負荷駆動回路を提供する。

【解決手段】 負荷2に負荷電流を供給する出力トランジスタT_oに対して、検出トランジスタT_sとNPNトランジスタT₁との直列回路を並列接続し、出力トランジスタT_o及び検出トランジスタT_sのゲート間には、NPNトランジスタT₁で生じる電圧降下と同じ電圧降下を生じさせるダイオードDを設ける。また、検出トランジスタT_sのゲートには、定電流I_cを供給する定電流回路30を接続し、出力トランジスタT_oのゲートには、NPNトランジスタT₁と共にカレントミラー回路を構成する第2トランジスタT₂を接続する。この結果、負荷電流の制限値が回路素子のばらつき等により変動するのを防止でき、負荷電流を高精度に所定値以下に制限できる。



【特許請求の範囲】

【請求項1】 負荷に負荷電流を供給する出力トランジスタと、

制御端子が該出力トランジスタの制御端子に電気的に接続され、前記出力トランジスタに流れる負荷電流に比例した電流を流す検出トランジスタと、

該検出トランジスタに流れた電流に基づき前記出力トランジスタに流れる負荷電流を所定値に制限する負荷電流制限手段と、

を備えた負荷駆動回路であって、

前記負荷駆動用の制御信号として、前記検出トランジスタの制御端子に定電流を供給する定電流回路を設けたことを特徴とする負荷駆動回路。

【請求項2】 負荷に負荷電流を供給する出力トランジスタと、

該出力トランジスタに流れる負荷電流を検出するための検出トランジスタと、

該検出トランジスタに直列に接続されると共に、前記検出トランジスタに前記負荷電流に比例した電流が流れるように前記検出トランジスタと共に前記出力トランジスタに並列に接続される第1トランジスタと、

該第1トランジスタと共にカレントミラー回路を構成する第2トランジスタと、

を備え、前記出力トランジスタ及び前記検出トランジスタの制御端子を互いに電気的に接続して、前記負荷駆動用の制御信号にて前記出力トランジスタ及び前記検出トランジスタを略同時に駆動できるように構成すると共に、前記第2トランジスタに流れる電流により前記出力トランジスタの制御端子の電圧レベルを変化させて前記負荷電流を所定値に制限するように構成してなる負荷駆動回路であって、

前記出力トランジスタ及び前記検出トランジスタの制御端子間に、

前記検出トランジスタに前記負荷電流に比例した電流が流れた際に前記第1トランジスタで生じる電圧降下と実質的に同じ電圧降下を生じさせて、前記出力トランジスタと前記検出トランジスタとの動作点を略一致させる電圧降下手段、

を設け、更に、

前記制御信号として、前記検出トランジスタの制御端子に定電流を供給する定電流回路を設けたことを特徴とする負荷駆動回路。

【請求項3】 前記出力トランジスタ及び前記検出トランジスタは、ドレインが互いに接続され、制御端子であるゲートが前記電圧降下手段を介して互いに接続されたMOSトランジスタから構成されていることを特徴とする請求項2に記載の負荷駆動回路。

【請求項4】 前記出力トランジスタ及び前記検出トランジスタを構成するMOSトランジスタは、Nチャネル型であり、前記定電流回路は、前記検出トランジスタの

制御端子であるゲート側に定電流を流し込み、前記第2トランジスタは、該定電流回路から前記電圧降下手段を介して前記出力トランジスタの制御端子であるゲートに供給される定電流を引き込むことを特徴とする請求項3に記載の負荷駆動回路。

【請求項5】 前記定電流回路からの定電流の供給を遮断して前記出力トランジスタをオフする際に、前記出力トランジスタのゲートを放電させる放電手段を備えたことを特徴とする請求項3又は請求項4記載の負荷駆動回路。

【請求項6】 前記第1トランジスタ及び第2トランジスタは、ベース及びエミッタが夫々共通接続されたバイポーラトランジスタからなり、前記第1トランジスタを構成するバイポーラトランジスタのコレクタが、前記検出トランジスタ及び前記共通接続されたベースに接続され、前記第2トランジスタを構成するバイポーラトランジスタのコレクタが、前記出力トランジスタの制御端子に接続されていることを特徴とする請求項2～請求項5いずれか記載の負荷駆動回路。

【請求項7】 前記電圧降下手段は、PN接合により順方向電圧を発生させる半導体素子であることを特徴とする請求項6に記載の負荷駆動回路。

【請求項8】 前記第1トランジスタ及び第2トランジスタは、ゲート及びソースが夫々共通接続されたMOSトランジスタからなり、前記第1トランジスタを構成するMOSトランジスタのドレインが、前記検出トランジスタ及び前記共通接続されたゲートに接続され、前記第2トランジスタを構成するMOSトランジスタのドレインが、前記出力トランジスタの制御端子に接続されていることを特徴とする請求項2～請求項5いずれか記載の負荷駆動回路。

【請求項9】 前記電圧降下手段は、ゲートーソース間電圧により電圧降下を生じさせるMOSトランジスタからなることを特徴とする請求項8記載の負荷駆動回路。

【請求項10】 前記定電流回路は、カレントミラー回路を構成する第3トランジスタ及び第4トランジスタと、前記第3トランジスタと共に正負の電源ライン間に接続され、該第3トランジスタに定電流を流す定電流源とを備え、前記第4トランジスタを前記検出トランジスタの制御端子に接続することにより、前記第3トランジスタに流れる電流に比例した定電流を、前記第4トランジスタを介して、前記検出トランジスタの制御端子に供給するよう構成されていることを特徴とする請求項2～請求項9いずれか記載の負荷駆動回路。

【請求項11】 前記第3トランジスタ及び第4トランジスタは、ベース及びエミッタが夫々共通接続されたバイポーラトランジスタからなり、前記第3トランジスタを構成するバイポーラトランジスタのコレクタが、前記定電流源及び前記共通接続されたベースに接続され、前記第4トランジスタを構成するバイポーラトランジスタ

10

20

30

40

50

のコレクタが、前記検出トランジスタの制御端子に接続されていることを特徴とする請求項10記載の負荷駆動回路。

【請求項12】 前記定電流回路は、前記第4トランジスタのコレクタにベースが接続され、前記第4トランジスタのエミッタにエミッタが接続され、コレクタが前記定電流源の第3トランジスタとは反対側の電源ラインに接続された、前記第4トランジスタと同じバイポーラトランジスタからなる第5トランジスタと、前記第4トランジスタのコレクタにエミッタが接続され、前記第5トランジスタのコレクタにベースが接続され、コレクタが前記検出トランジスタのベースに接続された、前記第4トランジスタと同じバイポーラトランジスタからなる第6トランジスタと、を備え、前記第6トランジスタを介して前記第3トランジスタに流れる電流に比例した定電流を前記検出トランジスタの制御端子に供給することにより、前記第4トランジスタのアーリ効果によって生じる電流変化を防止したことを特徴とする請求項11記載の負荷駆動回路。

【請求項13】 前記定電流回路において、コレクタが前記検出トランジスタの制御端子に接続されるバイポーラトランジスタは、前記出力トランジスタの制御端子に接続される第2のコレクタを有し、該第2のコレクタを介して、前記出力トランジスタの制御端子にも直接定電流を供給することを特徴とする請求項11又は請求項12記載の負荷駆動回路。

【請求項14】 前記出力トランジスタの制御端子を所定電圧以下にクランプするクランプ手段を設けたことを特徴とする請求項2～請求項13いずれか記載の負荷駆動回路。

【請求項15】 前記第1トランジスタ及び第2トランジスタと共にカレントミラー回路を構成する第7トランジスタと、該第7トランジスタに流れる電流により、前記負荷電流が所定値以上の過電流になったことを検出すると、前記出力トランジスタ及び前記検出トランジスタをオフさせ、この後、前記負荷電流が過電流でなくなったことを検出すると前記出力トランジスタ及び前記検出トランジスタをオンさせる断続制御回路と、を備えたことを特徴とする請求項2～請求項14いずれか記載の負荷駆動回路。

【請求項16】 前記断続制御回路は、前記過電流を検出してから所定時間後に前記出力トランジスタおよび前記検出トランジスタをオフさせる遅延手段を備えたことを特徴とする請求項15記載の負荷駆動回路。

【請求項17】 前記出力トランジスタの制御端子と出力端子との間に、前記第2トランジスタをバイパスする電流経路を形成して前記出力トランジスタの動作を安定化させるバイパス手段を設けたことを特徴とする請求項2～請求項16いずれか記載の負荷駆動回路。

【請求項18】 前記第2トランジスタの制御端子と該

第2トランジスタの出力端子が接続される電源ラインとの間に電流経路を形成して前記第2トランジスタの動作を安定化させるバイパス手段を設けたことを特徴とする請求項2～請求項17いずれか記載の負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷を駆動する負荷駆動回路に関し、特に負荷電流を所定電流以下に制限する機能を有する負荷駆動回路に関する。

【0002】

【従来の技術】従来より、負荷電流が過電流になったときに負荷電流を制限する負荷駆動回路として、特開平2-226808号公報に開示されているように、MOSトランジスタからなる出力トランジスタに対して、ドレイン及びゲートが共通接続されたMOSトランジスタからなる電流検出用のトランジスタ（以下、検出トランジスタという）を設けると共に、この検出トランジスタのソース側にカレントミラー回路を構成する一方のトランジスタ（以下、第1トランジスタという）を設け、カレントミラー回路を構成する他方のトランジスタ（以下、第2トランジスタという）に流れる電流によって出力トランジスタのゲート電圧を制御することにより、出力トランジスタを介して負荷に流れる負荷電流を所定値以下に制限するようにしたものが知られている。

【0003】しかしながら、この公報に開示された負荷駆動回路では、出力トランジスタのゲートと検出トランジスタのゲートとを抵抗を介して接続するか、或いは直結するようにしていることから、出力トランジスタのゲート-ソース間電圧と、検出トランジスタのゲート-ソース間電圧とを一致させることができず、各トランジスタの動作点がずれてしまうという問題があった。

【0004】つまり、検出トランジスタのソース側にカレントミラー回路を構成する第1トランジスタが接続され、出力トランジスタのソース側にはこうしたトランジスタは接続されないことから、これら各トランジスタのソース電位が、第1トランジスタに電流が流れることによって生じる電圧降下分（第1トランジスタがバイポーラトランジスタの場合、PN接合の順方向電圧 V_f ：約0.7Vとなる）だけ電位差が生じ、出力トランジスタと検出トランジスタとの動作点がずれてしまうのである。

【0005】そして、このように動作点がずれると、検出トランジスタにより出力トランジスタに流れる負荷電流を正確に検出することができなくなり、電流制限を高精度に実行できなくなってしまう。一方、こうした問題を解決し得る負荷駆動回路として、本願出願人は、既に、出力トランジスタのゲートと検出トランジスタのゲートとの間に、第1トランジスタにて生じる電圧降下と同じ電圧降下を発生させる電圧降下手段を設けたものを提案している（特開平10-32475号公報参照）。

【0006】以下、この提案の負荷駆動回路の一例を図15を用いて説明する。図15は、出力トランジスタ T_o 及び検出トランジスタ T_s にNチャンネルのMOSトランジスタを使用し、出力トランジスタ T_o のドレインを、出力端子4を介して、一端に負荷駆動用の直流電源の正極側より正の電源電圧を受ける負荷2の他端に接続し、出力トランジスタ T_o のソースを、出力端子6を介して、直流電源の負極側と同電位のグラウンドに接地することにより、出力トランジスタ T_o が所謂ローサイドスイッチとして動作するようにした負荷駆動回路を表す。

【0007】そして、図15に示すように、上記提案の負荷駆動回路によれば、検出トランジスタ T_s のドレインは、出力トランジスタ T_o のドレインに接続され、検出トランジスタ T_s のソースは、カレントミラー回路10を構成する一方のトランジスタ（第1トランジスタ） T_a を介して、出力トランジスタ T_o のソースに接続され、出力トランジスタ T_o のゲート-ソース間には、カレントミラー回路10を構成する他方のトランジスタ（第2トランジスタ） T_b が接続され、更に、出力トランジスタ T_o 及び検出トランジスタ T_s のゲート間には、検出トランジスタ T_s を介して第1トランジスタ T_a に流れる負荷電流に比例した電流によって第1トランジスタ T_a で生じる電圧降下を発生させる電圧降下手段20が設けられる。

【0008】このため、上記提案の負荷駆動回路によれば、出力トランジスタ T_o に負荷電流が流れているときには、この出力トランジスタ T_o のドレイン-ソース間電圧と、検出トランジスタ T_s のドレイン-ソース間電圧とが一致して、検出トランジスタ T_s には、負荷電流に比例した電流が正確に流れることになり、出力トランジスタ T_o 及び検出トランジスタ T_s のドレイン間を直結又は抵抗を介して接続した場合に比べて、出力トランジスタ T_o に流れる負荷電流を精度よく制限することができる。

【0009】

【発明が解決しようとする課題】しかしながら、上記提案の負荷駆動回路は、図15に示すように、電源端子8を介して外部から供給される電源電圧にて定電圧を生成する定電圧回路50を備え、この定電圧回路50にて生成された定電圧を、抵抗 R_a を介して検出トランジスタ T_s の制御端子（詳しくはゲート）に印加することにより、出力トランジスタ T_o 及び検出トランジスタ T_s を定電圧駆動するように構成されていたため、出力トランジスタ T_o や抵抗 R_a のばらつき或いはその温度特性等によって、出力トランジスタ T_o に流れる負荷電流を設計値に制御できないことがあった。

【0010】つまり、出力トランジスタ T_o に流れる負荷電流（換言すればドレイン電流） I_D は、図16に曲線で示す $V_{GS}-I_D$ 特性から明らかなように、ゲート-ソース間電圧 V_{GS} が増加するに従い急激に上昇する。一

方、図15に示す負荷駆動回路において、定電圧回路50から抵抗 R_a を介して検出トランジスタ T_s のゲート側に供給される電流は、抵抗 R_a の抵抗値と抵抗 R_a の両端電圧とにより決定され、出力トランジスタ T_o のゲート-ソース間電圧 V_{GS} が増加する程低下する。このため、定電圧回路50からカレントミラー回路10の第2トランジスタ T_b に供給可能な電流（詳しくはこの電流のドレイン電流 I_D 換算値）も、図16に実線で示す供給電流特性のように、出力トランジスタ T_o のゲート-ソース間電圧 V_{GS} が増加する程少なくなる。

【0011】そして、図15に示す負荷駆動回路では、検出トランジスタ T_s からカレントミラー回路10の第1トランジスタ T_a に流れる電流（負荷電流に比例した電流）を第2トランジスタ T_b に供給できなくなったときに、出力トランジスタ T_o のゲート電圧が低下して、負荷電流（ドレイン電流 I_D ）をそのときの電流値に制限することから、負荷電流の制限値は、MOSトランジスタの $V_{GS}-I_D$ 特性と供給電流特性との交点（図16に黒丸で示す）でのドレイン電流 I_D となる。

【0012】ところが、図16に点線で示すように、MOSトランジスタの $V_{GS}-I_D$ 特性は、MOSトランジスタ自体の特性のばらつきや温度変化によって変動し、また、定電圧回路50からカレントミラー回路10への供給電流特性も、抵抗 R_a やカレントミラー回路10を構成するトランジスタ T_a 、 T_b の特性のばらつき、或いはその温度変化によって変動する。

【0013】このため、上記提案の負荷駆動回路では、出力トランジスタ T_o に流れる負荷電流に比例した電流を、検出トランジスタ T_s を介して、カレントミラー回路10の第1トランジスタ T_a に流すことはできるものの、カレントミラー回路10を介して制限可能な負荷電流が、上記各回路素子のばらつきや温度変化によって変動してしまい、出力トランジスタ T_o に流れる負荷電流を設計値に制御することができなくなってしまうのである。

【0014】本発明は、こうした問題に鑑みなされたものであり、回路素子の特性のばらつきや温度変化等の影響を受けることなく、負荷電流を所定値以下に高精度に制限し得る負荷駆動回路を提供することを目的とする。

【0015】

【課題を解決するための手段及び発明の効果】かかる目的を達成するためになされた請求項1記載の負荷駆動回路においては、前述した従来装置のように、負荷駆動用の制御信号として、出力トランジスタ及び検出トランジスタの制御端子に抵抗を介して定電圧を印加するのではなく、定電流回路から定電流を供給する。このため、出力トランジスタ及び検出トランジスタは、夫々、定電流駆動されることになり、その駆動電流の供給経路に抵抗を設ける必要がないので、この抵抗のばらつきや温度変化によって、出力トランジスタに流れる負荷電流が変動

するのを防止できる。よって、本発明によれば、制限可能な負荷電流が回路素子の特性のばらつきや温度変化などによって変化するのを防止し、負荷電流を所定値以下に高精度に制限することができる。

【0016】次に、請求項2記載の負荷駆動回路は、本発明（請求項1）を前述した図14の負荷駆動回路に適用したものであり、図1に例示するように、負荷2に負荷電流を供給する出力トランジスタ T_o に対して、検出トランジスタ T_s と第1トランジスタ T_a との直列回路が並列に接続され、出力トランジスタ T_o 及び検出トランジスタ T_s の制御端子間（図1では各トランジスタのゲート間）には、検出トランジスタ T_s に負荷電流に比例した電流が流れた際に第1トランジスタ T_a で生じる電圧降下と実質的に同じ電圧降下を生じさせる電圧降下手段20が設けられる。また、検出トランジスタ T_s の制御端子（図1ではゲート）には、負荷駆動用の制御信号として定電流 I_c を供給する定電流回路30が接続され、更に、出力トランジスタ T_o の制御端子（図1ではゲート）には、第1トランジスタ T_a と共にカレントミラー回路10を構成し、検出トランジスタ T_s に流れる負荷電流に比例した電流によりその制御端子の電圧レベル（図1ではゲート電圧）を変化させる第2トランジスタ T_b が接続される。

【0017】このため、請求項2記載の負荷駆動回路によれば、図15に示した従来の負荷駆動回路のように、電圧降下手段20の動作によって、出力トランジスタ T_o と検出トランジスタ T_s との動作点を一致させることができるだけでなく、出力トランジスタ T_o をオンさせる制御信号として、定電流回路30から検出トランジスタ T_s の制御端子に定電流 I_c を供給することから、第2トランジスタ T_b が出力トランジスタ T_o をオフさせる際の負荷電流を一定にすることができる。

【0018】即ち、図1に例示するように、出力トランジスタ T_o 及び検出トランジスタ T_s を、図15に示した従来回路と同様にNチャネルのMOSトランジスタにて構成し、負荷駆動用の制御信号として、定電流回路30から検出トランジスタ T_s の制御端子に定電流 I_c を供給するよう構成した場合、定電流回路30からカレントミラー回路10に供給可能な電流（詳しくはこの電流の負荷電流ドレイン電流 I_D 換算値）は、図2に実線で示す供給電流特性のように、出力トランジスタ T_o のゲートソース間電圧 V_{GS} が、定電流回路30が電源端子8を介して外部から供給される電源電圧により定電流 I_c を生成できなくなる所定電圧に達するまでの間は、略一定になる。

【0019】このため、請求項2記載の負荷駆動回路によれば、図2に示すように、MOSトランジスタの $V_{GS}-I_D$ 特性が、MOSトランジスタ自体の特性のばらつきや温度変化によって変化したとしても、カレントミラー回路10を介して制限可能な負荷電流（ドレイン電流

I_D)を略一定にすることができる。

【0020】よって、請求項2記載の負荷駆動回路によれば、図15に示した従来の負荷駆動回路のように、カレントミラー回路10によって制限可能な負荷電流の制限値が、出力トランジスタ T_o 等の回路素子の特性のばらつきや温度変化によって変動するのを防止でき、負荷電流をより高精度の制限することができる。

【0021】ここで、図1に例示した負荷駆動回路は、図15に示した従来回路に対応して、本発明の負荷駆動回路を、出力トランジスタ T_o 及び検出トランジスタ T_s にNチャネルのMOSトランジスタを使用し、一端に負荷駆動用の直流電源の正極側より正の電源電圧を受ける負荷2の他端に、出力端子4を介して出力トランジスタ T_o のドレインを接続し、出力トランジスタ T_o のソースを、出力端子6を介して、直流電源の負極側と同電位のグランドに接地することにより、出力トランジスタ T_o が所謂ローサイドスイッチとして動作するように構成した場合の基本回路を表しているが、例えば、本発明の負荷駆動回路を、図1に示すようなハイサイド型の負荷駆動回路として構成する際には、出力トランジスタ T_o 及び検出トランジスタ T_s をNPN型のバイポーラトランジスタにて構成してもよい。

【0022】また、例えば、負荷駆動回路を、出力トランジスタ T_o を直流電源の正極側から負荷2に至る電流経路上に設けた所謂ハイサイド型の負荷駆動回路として構成する場合には、例えば、出力トランジスタ T_o 及び検出トランジスタ T_s を、PチャネルMOSトランジスタ若しくはPNP型バイポーラトランジスタにて構成するようにしてもよい。

【0023】そして、特に、請求項3に記載のように、出力トランジスタ T_o 及び検出トランジスタ T_s をMOSトランジスタにて構成した場合には、MOSトランジスタは、バイポーラトランジスタに比べて、大電流を流せることから、負荷2に対してより大きな負荷電流を供給できることになる。尚、この場合、請求項3に記載のように、出力トランジスタ T_o 及び検出トランジスタ T_s のドレインは互いに接続し、各トランジスタ T_o 、 T_s の制御端子であるゲートを電圧降下手段20を介して互いに接続するようにすればよい。

【0024】また、このように出力トランジスタ T_o 及び検出トランジスタ T_s をMOSトランジスタにて構成する際には、一般に、NチャネルMOSトランジスタの方が、PチャネルMOSトランジスタよりも大電流を流せることから、より好ましくは、請求項4に記載のように、出力トランジスタ T_o 及び検出トランジスタ T_s を、Nチャネル型のMOSトランジスタにて構成するとよい。尚、この場合には、定電流回路30が、検出トランジスタ T_s のゲートに対して定電流 I_c を流し込み、第2トランジスタ T_b が、定電流回路30から電圧降下手段20を介して出力トランジスタ T_o のゲートに供給

される定電流 I_c を引き込むように構成すればよい。

【0025】また出力トランジスタ T_o にMOSトランジスタを使用した場合、出力トランジスタ T_o をオフさせるために、定電流回路30からの定電流 I_c の出力を停止させても、出力トランジスタ T_o を構成するMOSトランジスタの寄生容量に蓄積された電荷が放電されるのに時間がかかり、出力トランジスタ T_o を速やかにオフさせることができないことが考えられる。

【0026】そこで、請求項3又は請求項4に記載の負荷駆動回路においては、更に、請求項5に記載のように、出力トランジスタ T_o をオフする際に、出力トランジスタ T_o のゲートを放電させる放電手段を設けるとよい。つまり、このようにすれば、負荷2への電流供給を停止する際に、出力トランジスタ T_o を速やかにオフさせて、負荷電流を速やかに遮断することが可能となる。

【0027】一方、カレントミラー回路10を構成する第1トランジスタ T_a 及び第2トランジスタ T_b としては、請求項6に記載のように、バイポーラトランジスタにて構成することもできるし、請求項8に記載のように、MOSトランジスタにて構成することもできる。

【0028】そして、第1トランジスタ T_a 及び第2トランジスタ T_b をバイポーラトランジスタにて構成する場合には、請求項6に記載のように、これらバイポーラトランジスタのベース及びエミッタを夫々共通接続し、第1トランジスタ T_a を構成するバイポーラトランジスタのコレクタを、その共通接続されたベースと検出トランジスタ T_s とに接続し、第2トランジスタ T_b を構成するバイポーラトランジスタのコレクタを、出力トランジスタ T_o の制御端子に接続すればよい。

【0029】また、このように第1トランジスタ T_a 及び第2トランジスタ T_b をバイポーラトランジスタにて構成した場合には、請求項7に記載のように、電圧降下手段20を、例えばダイオードのように、PN接合により順方向電圧を発生させる半導体素子にて構成すればよい。つまり、電圧降下手段20に、このような半導体素子を用いれば、第2トランジスタ T_b での電圧降下と同様の電圧降下を発生させることができ、出力トランジスタ T_o と検出トランジスタ T_s との動作点を一致させることができる。

【0030】また次に、第1トランジスタ T_a 及び第2トランジスタ T_b をMOSトランジスタにて構成する場合には、請求項8に記載のように、第1トランジスタ T_a 及び第2トランジスタ T_b のゲート及びソースを夫々共通接続し、第1トランジスタ T_a を構成するMOSトランジスタのドレインを、その共通接続されたゲートと検出トランジスタ T_s とに接続し、第2トランジスタ T_b を構成するMOSトランジスタのドレインを、出力トランジスタ T_o の制御端子に接続すればよい。

【0031】また、このように第1トランジスタ T_a 及び第2トランジスタ T_b をMOSトランジスタにて構成

した場合には、請求項9に記載のように、電圧降下手段20を、これらと同じMOSトランジスタにて構成し、そのゲートソース間電圧により電圧降下を生じさせるようにすればよい。つまり、電圧降下手段20をこのように構成すれば、MOSトランジスタからなる第2トランジスタ T_b での電圧降下と同様の電圧降下を発生させることができ、出力トランジスタ T_o と検出トランジスタ T_s との動作点を一致させることができる。

【0032】一方、定電流回路30としては、請求項10に記載のように、カレントミラー回路を構成する第3トランジスタ及び第4トランジスタと、第3トランジスタと共に正負の電源ライン間に接続され、第3トランジスタに定電流 I_c を流す定電流源とから構成し、第4トランジスタを検出トランジスタ T_s の制御端子に接続することにより、第3トランジスタに流れる電流に比例した定電流 I_c を、第4トランジスタを介して、検出トランジスタ T_s の制御端子に供給するように構成するとよい。

【0033】つまり、定電流回路30をこのように構成すれば、定電流源への供給電圧を、検出トランジスタ T_s の制御端子の電圧変化に関わらず、常に、正・負の電源ラインに印加された電源電圧に対応させることができ、第4トランジスタを介して、検出トランジスタ T_s の制御端子に安定した定電流 I_c を供給することが可能となる。

【0034】また、定電流回路30をこのように構成する場合、カレントミラー回路を構成する第3トランジスタ及び第4トランジスタとしては、上述した負荷電流制限用のカレントミラー回路10を構成する第1トランジスタ T_a 及び第2トランジスタ T_b と同様、バイポーラトランジスタにて構成することもできるし、MOSトランジスタにて構成することもできる。

【0035】そして、第3トランジスタ及び第4トランジスタをバイポーラトランジスタにて構成する場合には、請求項11に記載のように、各トランジスタのベース及びエミッタを夫々共通接続し、第3トランジスタを構成するバイポーラトランジスタのコレクタを、その共通接続されたベース及び定電流源に接続し、第4トランジスタを構成するバイポーラトランジスタのコレクタを、検出トランジスタ T_s の制御端子に接続するようにすればよい。

【0036】ところで、このように第3トランジスタ及び第4トランジスタをバイポーラトランジスタにて構成した場合には、第4トランジスタのコレクターエミッタ間電圧が変動し、定電流回路30から検出トランジスタ T_s の制御端子側に供給される電流が、第4トランジスタのアーリ効果によって変動することが考えられる。

【0037】つまり、バイポーラトランジスタのアーリ効果は、コレクターエミッタ間電圧を増加させると、コレクターベース接合の空乏層がベース領域側に延びて、

実行のベース幅が減少するため、コレクタ電流が増大する、というものであることから、検出トランジスタTs（延いては出力トランジスタTo）の制御端子電圧が低い程、検出トランジスタTsの制御端子側に供給される電流が大きくなる。従って、第4トランジスタにアーリー効果が生じた際には、図2に一点鎖線で示すように、供給電流特性が若干傾き、ゲートソース間電圧VGSが増加する程、制限可能な負荷電流（ドレイン電流ID）が低下することになる。

【0038】そこで、こうした問題を防止するために、請求項12に記載のように、第4トランジスタに、第4トランジスタと同じバイポーラトランジスタからなるアーリー効果キャンセル用の第5トランジスタ及び第6トランジスタを設けるとよい。即ち、請求項12記載の負荷駆動回路は、請求項11記載の負荷駆動回路の定電流回路30内に、第4トランジスタのコレクタにベースが接続され、第4トランジスタのエミッタにエミッタが接続され、コレクタが定電流源の第3トランジスタとは反対側の電源ラインに接続された第5トランジスタと、第4トランジスタのコレクタにエミッタが接続され、第5トランジスタのコレクタにベースが接続され、コレクタが前記検出トランジスタTsの制御端子に接続された第6トランジスタとを設け、第3トランジスタに流れる電流に比例した定電流Icを第6トランジスタを介して検出トランジスタTsの制御端子に供給するようにしている。

【0039】このため、請求項12に記載の負荷駆動回路によれば、定電流回路30内でカレントミラー回路を構成する第3トランジスタ及び第4トランジスタにバイポーラトランジスタを使用したとしても、第4トランジスタのコレクタエミッタ間電圧を、第5トランジスタのベースエミッタ間の順方向電圧Vf（約0.7V）に固定して、第4トランジスタのアーリー効果をキャンセルすることができる。従って、請求項12記載の負荷駆動回路によれば、第4トランジスタから第6トランジスタに、第3トランジスタに流れた電流に比例した定電流Icを流し、これを第6トランジスタから検出トランジスタTsの制御端子側に供給できることになる。

【0040】よって、この負荷駆動回路によれば、第4トランジスタのアーリー効果の影響を受けることなく、検出トランジスタTsの制御端子側に定電流Icを安定して供給できることになり、負荷電流をより高精度に所定値以下に制限することが可能となる。

【0041】また次に、定電流回路30は、検出トランジスタTsの制御端子に定電流Icを供給することにより、検出トランジスタTsを直接駆動すると共に、出力トランジスタToを電圧降下手段20を介して駆動し、しかも、電流制限用のカレントミラー回路10を構成する第2トランジスタTbに対して、検出トランジスタTsに流れた電流に対応した電流を供給するものである

が、この場合、出力トランジスタToを駆動するのに最低必要な定電流回路30からの出力電圧は、出力トランジスタToがオンするのに必要な制御端子電圧（図1に示したNチャネルMOSトランジスタからなる出力トランジスタToの場合、MOSトランジスタのしきい値電圧）に、電圧降下手段20にて生じる電圧降下分を加えた電圧となる。

【0042】従って、定電流回路30に供給する電源電圧（上記正・負の電源ラインに印加される電源電圧）も、定電流回路30からの出力電圧がこの電圧以上となるように設定する必要がある、例えば、電源電圧がこれより低い電圧まで変動した際には、出力トランジスタToを駆動（オン）できなくなってしまう。

【0043】そこで、電源電圧が変動（低下）した際に負荷の駆動を継続できるようにするには、請求項13に記載のように、請求項11又は請求項12記載の定電流回路30において、コレクタが検出トランジスタTsの制御端子に接続されるバイポーラトランジスタ（第4トランジスタ若しくは第6トランジスタ）を、出力トランジスタToの制御端子に接続される第2のコレクタを有し、この第2のコレクタを介して、出力トランジスタToの制御端子にも直接定電流Icを供給するように構成するとよい。

【0044】つまり、このようにすれば、検出トランジスタTsだけでなく、出力トランジスタToについても、定電流回路30が供給する定電流Icによって直接駆動することができることから、電源電圧の変動（低下）によって出力トランジスタToを駆動（オン）できなくなる最低電圧を、電圧降下手段20による電圧降下分だけ低くすることができ、負荷をより安定して駆動することが可能となる。

【0045】一方、本発明（請求項2～請求項13）では、定電流回路30による定電流Icの供給によって出力トランジスタTo及び検出トランジスタTsを駆動することから、これら各トランジスタTo、Tsの制御端子電圧（換言すれば、定電流回路30の出力電圧）は、定電流回路30の電源電圧付近まで上昇する。このため、定電流回路30の電源電圧が高い場合には、各トランジスタTo、Tsが破壊してしまうことが考えられる。

【0046】このため、本発明（請求項2～請求項13）の負荷駆動回路においては、更に、請求項14に記載のように、出力トランジスタToの制御端子を所定電圧以下にクランプするクランプ手段を設けるとよい。つまり、このようにすれば、出力トランジスタToの制御端子電圧（延いては、検出トランジスタTsの制御端子電圧）が過大となって、各トランジスタTo、Tsが破壊するのを防止できる。

【0047】尚、このクランプ手段としては、例えば、出力トランジスタToの制御端子電圧を直接所定電圧以

10

20

30

40

50

下にクランプするように構成してもよく、或いは、定電流回路30に供給される電源電圧を所定電圧以下にクランプすることにより、出力トランジスタ T_o の制御端子電圧を間接的に所定電圧以下にクランプするように構成してもよい。

【0048】次に、請求項15に記載の負荷駆動回路は、上述した請求項2～請求項14に記載の負荷駆動回路に対して、更に、第1トランジスタ T_a 及び第2トランジスタ T_b と共にカレントミラー回路を構成する第7トランジスタと、この第7トランジスタに流れる電流により、負荷電流が所定値以上の過電流になったことを検出すると、出力トランジスタ T_o 及び検出トランジスタ T_s をオフさせ、この後、負荷電流が過電流でなくなったことを検出すると出力トランジスタ T_o 及び検出トランジスタ T_s をオンさせる断続制御回路とを設けたものである。つまり、この負荷駆動回路は、負荷電流が過電流のときに出力トランジスタ T_o をオフさせることにより、過電流時の出力トランジスタ T_o の損失を低減するようにしているのである。

【0049】尚、このように断続制御回路にて、出力トランジスタ T_o 及び検出トランジスタ T_s をオン・オフさせる場合には、請求項16に記載のように、断続制御回路に、過電流を検出してから所定時間後に出力トランジスタ T_o 及び検出トランジスタ T_s をオフさせる遅延手段を設けるとよい。つまり、このようにすれば、負荷2への通電開始時の突入電流を過電流として、誤って出力トランジスタ T_o をオフさせるのを防止することができる。

【0050】また、この場合、断続制御回路が過電流として検出する負荷電流は、定電流回路30からの供給電流と第2トランジスタ T_b に流れる電流値とで決まる負荷電流の制限値よりも低い値に設定しておく必要はある。これは、断続制御回路による過電流判定値が負荷電流の制限値よりも高いと、負荷電流は、断続制御回路にて過電流が検出される前に、第2トランジスタ T_b に流れる電流によって制限されてしまい、断続制御回路を機能させることができないためである。

【0051】ところで、本発明（請求項2～請求項16）の負荷駆動回路においては、出力トランジスタ T_o の制御端子と検出トランジスタ T_s の制御端子との間に、カレントミラー回路を構成するトランジスタ1段分の電圧降下を発生させる電圧降下手段を設けることにより、出力トランジスタ T_o と検出トランジスタ T_s との動作点を一致させていることから、例えば、一時的に電源電圧が低下して、電圧降下手段に所望の電流を流せなくなると、出力トランジスタ T_o の制御端子の電位が不安定となって、負荷電流の制限動作が正常に機能しなくなることが考えられる。

【0052】そこで、例えば自動車等、電源電圧が変動し易い条件化で本発明の負荷駆動回路を使用する場合に

は、請求項17に記載のように、出力トランジスタ T_o の制御端子と出力端子との間に、第2トランジスタ T_b をバイパスする電流経路を形成して出力トランジスタ T_o の動作を安定化させるバイパス手段を設けるとよい。

【0053】つまり、このようにすれば、電源電圧が低下しても電圧降下手段にはバイパス手段を介して確実に電流が流れ、電圧降下手段にて所望の電圧降下を発生させることができる。よって、請求項17記載の負荷駆動回路によれば、電源電圧が低下しても、出力トランジスタ T_o と検出トランジスタ T_s との動作点を一致させ、負荷電流の制限動作を安定して機能させることが可能となる。

【0054】一方、第2トランジスタ T_b は、電圧降下手段20を介して出力トランジスタ T_o の制御端子側に流れ込む定電流を、検出トランジスタ T_s に流れる電流に応じて電源ライン側（図1では負の電源ラインであるグランドライン）に引き込むことにより、負荷電流を制限するものであるが、例えば、負荷電流の増大等に伴い、第2トランジスタ T_b の出力端子が接続される電源ラインの電位が変動すると、第2トランジスタ T_b （換言すればカレントミラー回路10）の動作が不安定となって、第2トランジスタによる負荷電流の制限動作が正常に機能しなくなることが考えられる。

【0055】そこで、こうした問題を防止するには、例えば請求項18に記載のように、第2トランジスタ T_b の制御端子と該第2トランジスタ T_b の出力端子が接続される電源ラインとの間に電流経路を形成して第2トランジスタ T_b （換言すればカレントミラー回路10）の動作を安定化させるバイパス手段を設けるとよい。

【0056】つまり、このようにすれば、第2トランジスタ T_b の2つの出力端子（ドレイン及びソース、或いは、コレクタ及びエミッタ）の内、出力トランジスタ T_o の制御端子に接続される出力端子とは反対側の出力端子が接続される電源ラインの電位が変動しても、バイパス手段によって、第2トランジスタ T_b の制御端子の電源ラインに対する電位差を略一定に保持することができる。よって、請求項18記載の装置によれば、第2トランジスタ T_b 、延いてはカレントミラー回路10の動作が、電源ラインの電位変動によって不安定となるのを防止することができる。

【0057】尚、請求項17及び請求項18において、バイパス手段としては、電源電圧や電源ラインの電位が安定しているときの動作に影響を与えないように、微小電流を流すことができればよい。具体的には、抵抗値が比較的大きい抵抗、若しくは、微小電流を強制的に流す定電流回路を使用すればよい。

【0058】

【発明の実施の形態】以下に、本発明の実施形態を図面に沿って説明する。

（第1実施例）図3は、第1実施例の負荷駆動回路の構

成を表す電気回路図である。

【0059】第1実施例の負荷駆動回路は、図1に例示した基本回路と同様、出力トランジスタ T_o 及び検出トランジスタ T_s にNチャネル型のMOSトランジスタを使用し、出力トランジスタ T_o のドレインを、出力端子4を介して、一端が負荷駆動用直流電源の正極側に接続された負荷2の他端に接続し、出力トランジスタ T_o のソースを、出力端子6を介して、負荷駆動用直流電源の負極側と同電位のグラウンドに接地した、所謂ローサイド型の負荷駆動回路である。

【0060】そして、本実施例の負荷駆動回路では、検出トランジスタ T_s のドレインが、出力トランジスタ T_o のドレインに接続され、検出トランジスタ T_s のソースが、カレントミラー回路10を構成する第1トランジスタとしてのNPNトランジスタ T_1 を介して、出力トランジスタ T_o のソースに接続され、検出トランジスタ T_s 及び出力トランジスタ T_o のゲート間には、検出トランジスタ T_s のゲート側をアノード、出力トランジスタ T_o のゲート側をカソードとして、電圧降下手段20を構成するダイオードDが設けられている。尚、カレントミラー回路10は、請求項1記載の負荷電流制限手段に相当する。

【0061】また、カレントミラー回路10において、第1トランジスタとしてのNPNトランジスタ T_1 は、コレクタが検出トランジスタ T_s のソースに接続され、エミッタが出力トランジスタ T_o のソースに接続され、ベースが自己のコレクタに接続されると共に第2トランジスタとしてのNPNトランジスタ T_2 のベースに共通接続されている。そして、この第2トランジスタとしてのNPNトランジスタ T_2 は、エミッタがNPNトランジスタ T_1 のエミッタに共通接続され、コレクタが、出力トランジスタ T_o のゲートに接続されている。

【0062】また、本実施例の負荷駆動回路において、検出トランジスタ T_s のゲートに、電源端子8を介して外部から電源供給を受けて定電流を生成する定電流回路30が接続されており、この定電流回路30から検出トランジスタ T_s のゲート側に定電流 I_c を流し込むようにされている。

【0063】このように構成された本実施例の負荷駆動回路において、負荷2を駆動する際には、電源端子8を介して定電流回路30に電源電圧を供給することにより、定電流回路30を動作させる。すると、定電流回路30から検出トランジスタ T_s のゲート側に定電流 I_c が流れ出し、検出トランジスタ T_s のゲートに電流が流れ込むと共に、出力トランジスタ T_o のゲートにも、ダイオードDを介して電流が流れ込む。この結果、検出トランジスタ T_s 及び出力トランジスタ T_o のゲート-ソース間電圧 V_{GS} が共に各トランジスタ T_s 、 T_o のしきい値電圧を超えて、各トランジスタ T_s 、 T_o がオン状態となる。そして、このとき、負荷2には、出力トラン

ジスタ T_o を介して、負荷電流が供給される。

【0064】またこのとき、負荷2がショートなど何らかの原因で低インピーダンスになると、負荷電流が通常動作電流よりも大きくなって、出力端子4の電圧が上昇する。そして、この出力端子4の電圧が、第1トランジスタとしてのNPNトランジスタ T_1 にベース電流を供給できる電圧、すなわちベース-エミッタ間順方向電圧以上になると、検出トランジスタ T_s には、負荷電流の一部（換言すれば負荷電流に比例した電流）が流れる。

10 【0065】この電流は、NPNトランジスタ T_1 、 T_2 により構成されるカレントミラー回路10によって、 $1/n$ 倍され、第2トランジスタとしてのNPNトランジスタ T_2 が、 $1/n$ 倍された電流分だけ、出力トランジスタ T_o のゲート側から電流を引き抜く。

【0066】またこのとき、NPNトランジスタ T_2 が引き抜く電流が、定電流回路30が供給する定電流 I_c よりも小さい場合には、出力トランジスタ T_o 及び検出トランジスタ T_s はオン状態に保持されるが、負荷電流が更に増大して、NPNトランジスタ T_2 が引き抜く電流が、定電流回路30が供給する定電流 I_c を越え
20 と、定電流回路30からの定電流はNPNトランジスタ T_2 側に吸収されてしまい、出力トランジスタ T_o 及び検出トランジスタ T_s のゲート電圧が低下して、負荷電流が減少する。この結果、負荷電流は所定値以下に制限されることになる。

【0067】そして、こうしたカレントミラー回路10による負荷電流の制限値 I_{max} は、出力トランジスタ T_o に流れる電流と検出トランジスタ T_s （換言すればNPNトランジスタ T_1 ）に流れる電流との比を m 対1とし、NPNトランジスタ T_1 に流れる電流とNPNトランジスタ T_2 に流れる電流との比を n 対1とすると、次式(1)のように表すことができる。

$$【0068】I_{max} = I_c \times m \times n \quad \cdots (1)$$

即ち、本実施例の負荷駆動回路においては、負荷電流の制限値 I_{max} は、定電流回路30が供給する定電流 I_c と、検出トランジスタ T_s 及びカレントミラー回路10による負荷電流のフィードバック定数(m , n)だけで決まり、図2を用いて説明したように、出力トランジスタ T_o の $V_{GS}-I_D$ 特性のばらつき等、他の回路素子の電氣的特性に依存しないことが解る。

【0069】また、カレントミラー回路10の動作時においては、検出トランジスタ T_s のソース電位が、出力トランジスタ T_o のソース電位に対して、NPNトランジスタ T_1 のベース-エミッタ間電圧分だけ上昇するが、これら各トランジスタ T_s 、 T_o のゲート間には、ダイオードDが挿入されているため、出力トランジスタ T_o のゲート電圧は、ダイオードDの順方向電圧分だけ、検出トランジスタ T_s のゲート電圧よりも高くなる。このため、出力トランジスタ T_o と検出トランジスタ T_s のゲート-ソース間電圧は同一となり、これら各

トランジスタ T_o 、 T_s の動作点を一致させることができる。

【0070】従って、本実施例の負荷駆動回路によれば、負荷電流を所望の電流制限値以下に高精度に制限することができるようになる。尚、本実施例においては、電圧降下手段20として、ダイオードDを用いるようにしているが、電圧降下手段20は、カレントミラー回路10におけるNPNトランジスタ T_1 のベース-エミッタ間電圧と等しい電圧を発生させるためのものであるため、PN接合を用いた順方向電圧を発生させる他の手段、例えばベースとエミッタを共通にしたバイポーラトランジスタ、或いは、ベースとコレクタを共通にしたバイポーラトランジスタ等を用いて構成してもよい。また、NPNトランジスタ T_1 のベース-エミッタ間電圧と実質的に等しい電圧降下を生じさせるものであれば他の手段を用いてもよい。

【0071】(第2実施例)図4は、第2実施例の負荷駆動回路の構成を表す電気回路図である。第2実施例の負荷駆動回路は、出力トランジスタ T_o 及び検出トランジスタ T_s にPチャネル型のMOSトランジスタを使用し、出力トランジスタ T_o のソースを、出力端子4を介して、負荷駆動用直流電源の正極側に接続し、出力トランジスタのドレインを、出力端子6を介して、一端が直流電源の負極側と同電位のグランドに接地された負荷2の他端に接続した、所謂ハイサイド型の負荷駆動回路である。

【0072】そして、本実施例の負荷駆動回路では、検出トランジスタ T_s のドレインが、出力トランジスタ T_o のドレインに接続され、検出トランジスタ T_s のソースが、カレントミラー回路10を構成する第1トランジスタとしてのPNPトランジスタ T_3 を介して、出力トランジスタ T_o のソースに接続され、検出トランジスタ T_s 及び出力トランジスタ T_o のゲート間には、出力トランジスタ T_o のゲート側をアノード、検出トランジスタ T_s のゲート側をカソードとして、電圧降下手段20を構成するダイオードDが設けられている。

【0073】また、カレントミラー回路10において、第1トランジスタとしてのPNPトランジスタ T_3 は、コレクタが検出トランジスタ T_s のソースに接続され、エミッタが出力トランジスタ T_o のソースに接続され、ベースが自己のコレクタに接続されると共に第2トランジスタとしてのPNPトランジスタ T_4 のベースに共通接続されている。そして、この第2トランジスタとしてのPNPトランジスタ T_4 は、エミッタがPNPトランジスタ T_3 のエミッタに共通接続され、コレクタが、出力トランジスタ T_o のゲートに接続されている。

【0074】また、本実施例の負荷駆動回路においては、検出トランジスタ T_s のゲートに、電源端子9を介して外部から電源供給を受けて定電流を生成する定電流回路30が接続されており、この定電流回路30によ

り、検出トランジスタ T_s のゲート側から定電流 I_c を引き込むようにされている。

【0075】このように構成された本実施例の負荷駆動回路において、負荷2を駆動する際には、電源端子9を介して定電流回路30に電源電圧を供給することにより、定電流回路30を動作させる。すると、定電流回路30が検出トランジスタ T_s のゲート側から定電流 I_c を引き込むことから、検出トランジスタ T_s 及び出力トランジスタ T_o のゲート電圧が低下し、検出トランジスタ T_s 及び出力トランジスタ T_o のゲート-ソース間電圧 V_{GS} が共に各トランジスタ T_s 、 T_o のしきい値電圧を超えて、各トランジスタ T_s 、 T_o がオン状態となる。そして、このとき、負荷2には、出力トランジスタ T_o を介して、負荷電流が供給される。

【0076】またこのとき、負荷2がショートなど何らかの原因で低インピーダスになると、負荷電流が通常動作電流よりも大きくなって、出力端子6の電圧が低下する。そして、この出力端子6の電圧が、第1トランジスタとしてのPNPトランジスタ T_3 にベース電流を供給できる電圧、すなわちベース-エミッタ間順方向電圧以上になると、検出トランジスタ T_s には、負荷電流の一部(換言すれば負荷電流に比例した電流)が流れる。

【0077】この電流は、PNPトランジスタ T_3 、 T_4 により構成されるカレントミラー回路10によって、 $1/n$ 倍され、第2トランジスタとしてのPNPトランジスタ T_4 が、 $1/n$ 倍された電流分だけ、出力トランジスタ T_o のゲート側に電流を流し込む。

【0078】またこのとき、PNPトランジスタ T_4 が流し込む電流が、定電流回路30が引き込む定電流 I_c よりも小さい場合には、出力トランジスタ T_o 及び検出トランジスタ T_s はオン状態に保持されるが、負荷電流が更に増大して、PNPトランジスタ T_4 が流し込む電流が、定電流回路30が引き込む定電流 I_c を越えると、定電流回路30はPNPトランジスタ T_4 が出力トランジスタ T_o のゲート側に流し込む電流を吸収できなくなり、出力トランジスタ T_o 及び検出トランジスタ T_s のゲート電圧が上昇して、負荷電流が減少する。この結果、負荷電流は所定値以下に制限されることになる。

【0079】このように、本実施例の負荷駆動回路においては、出力トランジスタ T_o 及び検出トランジスタ T_s にPチャネルMOSトランジスタを使用することにより、出力トランジスタ T_o をハイサイドスイッチとして動作させることから、定電流回路30及びカレントミラー回路10が流す電流方向や、電圧降下手段20を構成するダイオードDによる電圧降下方向が、出力トランジスタ T_o 及び検出トランジスタ T_s にNチャネルMOSトランジスタを使用した第1実施例の負荷駆動回路とは逆方向になる。

【0080】しかし、カレントミラー回路10による負荷電流の制限値 I_{max} は、第1実施例の負荷駆動回路と

同様、上述の(1)式で表すことができ、また、ダイオードDからなる電圧降下手段20の動作によって、出力トランジスタT_o及び検出トランジスタT_sの動作点を一致させることができる。従って、本実施例の負荷駆動回路においても、第1実施例のものと同様、負荷電流を所望の電流制限値以下に高精度に制限することができるようになる。

【0081】(第3実施例)図5は、第3実施例の負荷駆動回路の構成を表す電気回路図である。第3実施例の負荷駆動回路は、図3に示した第1実施例のローサイド型の負荷駆動回路に対して、カレントミラー回路10及び電圧降下手段20を構成する回路素子を変更したものであり、カレントミラー回路10及び電圧降下手段20以外の構成は、第1実施例のものと同様である。そこで、以下の説明では、この相違点のみ説明し、第1実施例と同じ構成要素については、説明を省略する。

【0082】図5に示す如く、本実施例では、カレントミラー回路10を構成する第1トランジスタ及び第2トランジスタが、夫々、Nチャネル型のMOSトランジスタT₅、T₆にて構成され、これに対応して、電圧降下手段20もNチャネル型のMOSトランジスタT₇にて構成されている。

【0083】そして、カレントミラー回路10において、第1トランジスタとしてのMOSトランジスタT₅は、ドレインが検出トランジスタT_sのソースに接続され、ソースが出力トランジスタT_oのソースに接続され、ゲートが自己のドレインに接続されると共に第2トランジスタとしてのMOSトランジスタT₆のゲートに共通接続されている。また、第2トランジスタとしてのMOSトランジスタT₆は、ソースがMOSトランジスタT₅のソースに共通接続され、ドレインが、出力トランジスタT_oのゲートに接続されている。また、電圧降下手段20を構成するMOSトランジスタT₇は、ドレイン及びゲートが検出トランジスタT_sのゲートに接続され、ソースが出力トランジスタT_oのゲートに接続されている。

【0084】このように、本実施例では、カレントミラー回路10を、第1実施例のようなバイポーラトランジスタではなく、MOSトランジスタT₅、T₆にて構成しているが、カレントミラー回路10による電流制限動作は、第1実施例のものと全く同様である。

【0085】また、電圧降下手段20を、カレントミラー回路10において第1トランジスタとして機能するMOSトランジスタT₅と同じMOSトランジスタT₇にて構成していることから、カレントミラー回路10の動作時には、検出トランジスタT_s及び出力トランジスタT_oのゲート間に、カレントミラー回路10を構成する第1トランジスタ(MOSトランジスタT₅)と同じ電圧降下を発生させ、検出トランジスタT_s及び出力トランジスタT_oの動作点を一致させることができる。

【0086】よって、本実施例の負荷駆動回路においても、第1実施例のものと同一作用・効果が得られることができ、負荷電流を高精度に制限できることになる。

(第4実施例)図6は、第4実施例の負荷駆動回路の構成を表す電気回路図である。

【0087】第4実施例の負荷駆動回路は、図3に示した第1実施例のローサイド型の負荷駆動回路における定電流回路30をより具体化したものであり、定電流回路30以外の構成は、第1実施例のものと同様である。そこで、以下の説明では、この定電流回路30についてのみ説明し、他の構成要素については説明を省略する。

【0088】図6に示す如く、本実施例では、定電流回路30が、電源端子8、9を介して、図示しない正・負の電源ラインに接続され、この電源ラインから直流の電源電圧が供給されることにより、動作するように構成されている。そして、本実施例では、定電流回路30内に、カレントミラー回路を構成する前述の第3トランジスタ及び第4トランジスタとして、一対のPNPトランジスタT₁₁、T₁₂を設け、第3トランジスタとしてのPNPトランジスタT₁₁にバイアス回路となる定電流源32を直列に接続して、PNPトランジスタT₁₁に定電流を流し、この定電流に比例した定電流を、第4トランジスタとしてのPNPトランジスタT₁₂を介して、検出トランジスタT_sのゲート側に流し出すようにされている。

【0089】即ち、定電流回路30において、PNPトランジスタT₁₁は、エミッタが電源端子8を介して正の電源ラインに接続され、コレクタが定電流源32及び電源端子9を介して負の電源ラインに接続され、ベースが自己のコレクタに接続されると共にPNPトランジスタT₁₂のベースに共通接続されている。また、PNPトランジスタT₁₂は、エミッタがPNPトランジスタT₁₁のエミッタに共通接続され、コレクタが検出トランジスタT_sのゲートに接続されている。

【0090】このため、PNPトランジスタT₁₂から検出トランジスタT_sのゲート側には、定電流源32の動作によってPNPトランジスタT₁₁に流れる電流に比例した定電流が供給されることになり、負荷駆動回路は、この定電流によって、第1実施例と同様に動作し、第1実施例と同様の効果を得ることができる。

【0091】また、特に、本実施例では、定電流回路30内で、定電流を生成する回路(PNPトランジスタT₁₁及び定電流源32)と、検出トランジスタT_sのゲート側に定電流を流し出す回路(PNPトランジスタT₁₂)とを分離していることから、定電流回路30内で、外部の電圧変化(例えば、出力端子4の電圧変化)の影響を受けることなく、安定した定電流を生成し、検出トランジスタT_sのゲート側に供給することができる。

【0092】(第5実施例)図7は、第5実施例の負荷

駆動回路の構成を表す電気回路図である。第5実施例の負荷駆動回路は、図6に示した第4実施例の負荷駆動回路において、電源端子8、9を介して定電流回路30に供給される電源電圧が低下した際に、出力トランジスタT_oをより確実に駆動（オン）できるようにしたものであり、第4実施例のものと異なる点は、定電流回路30を構成する第4トランジスタとしてのPNPトランジスタT₁₂を、2つのコレクタを有するトランジスタにて構成し、各コレクタを、検出トランジスタT_sのゲートと、出力トランジスタT_oのゲートとに、夫々接続した点である。

【0093】つまり、第4実施例のように、PNPトランジスタT₁₂から検出トランジスタT_sのゲート側にだけ定電流を流し出すように構成した場合、出力トランジスタT_oを駆動するには、定電流回路30からの出力電圧を、出力トランジスタT_oのしきい値電圧に、電圧降下手段20を構成するダイオードDの順方向電圧を加えた電圧となり、定電流回路30に供給される電源電圧が低下して出力電圧がその電圧よりも低くなると、検出トランジスタT_sを駆動（オン）できるにも関わらず、出力トランジスタT_oを駆動できなくなってしまう。

【0094】そこで、本実施例では、検出トランジスタT_sのゲートだけでなく、出力トランジスタT_oのゲートにも定電流を供給することにより、出力トランジスタT_oを、より低い電圧にて駆動できるようにしているのである。よって、本実施例によれば、電源端子8、9を介して供給される電源電圧が低下した際に、出力トランジスタT_o（延いては負荷2）を駆動できなくなるのを抑制し、負荷2をより安定して駆動することが可能となる。

【0095】尚、本実施例のように、検出トランジスタT_sのゲートだけでなく、出力トランジスタT_oのゲートにも定電流を供給するようにした場合、電源端子8、9間に供給される電源電圧が正常であれば、負荷電流が上昇して、電流制限値に近づきつつあるときには、まず、出力トランジスタT_oのゲートに直接供給される定電流がカレントミラー回路10内のNPNトランジスタT₂により吸収され、その後、ダイオードDを介して出力トランジスタT_oのゲート側に流れ込む定電流が吸収されて、出力トランジスタT_oを介して流れる負荷電流が減少することになる。このため、本実施例においても、カレントミラー回路10は、上記各実施例と同様に機能し、負荷電流を高精度に制限することができる。

【0096】（第6実施例）図8は、第6実施例の負荷駆動回路の構成を表す電気回路図である。第6実施例の負荷駆動回路は、図6に示した第4実施例の負荷駆動回路において、電源端子8、9を介して定電流回路30に供給される電源電圧が高い場合に、定電流回路30からの出力電圧によって検出トランジスタT_s及び出力トランジスタT_oが劣化或いは破壊するのを防止できるよう

にしたものであり、第4実施例と異なる点は、出力トランジスタT_oのゲートソース間に、クランプ手段としてのツェナーダイオードZDを設けた点である。

【0097】つまり、定電流回路30を第4実施例のように構成した場合、定電流回路30からの出力電圧は、電源端子8、9を介して供給される電源電圧付近まで上昇する。このため、その電源電圧が高いと、出力トランジスタT_o及び検出トランジスタT_sのゲートソース間電圧が高くなりすぎ、これらトランジスタが劣化若しくは破壊することがある。

【0098】そこで、本実施例では、ツェナーダイオードZDのアノードを出力トランジスタT_oのソースに接続し、カソードを出力トランジスタT_oのゲートに接続することにより、出力トランジスタT_oのゲートソース間電圧を、ツェナーダイオードZDの降伏電圧以下にクランプし、定電流回路30からの出力電圧が高くなった際に、この電圧から出力トランジスタT_o（延いては検出トランジスタT_s）を保護できるようにしているのである。

【0099】（第7実施例）図9は、第7実施例の負荷駆動回路の構成を表す電気回路図である。第7実施例の負荷駆動回路は、上記第6実施例におけるクランプ手段としてのツェナーダイオードZDを、出力トランジスタT_oのゲートソース間ではなく、定電流回路30内に設けたものである。

【0100】つまり、定電流回路30の出力電圧から出力トランジスタT_oを保護するには、必ずしも出力トランジスタT_oのゲートソース間電圧を直接クランプする必要はなく、定電流回路30からの出力電圧自体を所定電圧以下にクランプするようにしてもよい。

【0101】そこで、本実施例では、定電流回路30内で定電流を生成する第3トランジスタとしてのPNPトランジスタT₁₁と定電流源32との直列回路に対して並列に、電圧クランプ用のツェナーダイオードZDを接続し、電源端子8、9を介して外部から供給される電源電圧が高くなっても、PNPトランジスタT₁₁と定電流源32との直列回路には、常に所定電圧以下の電源電圧が供給されて、定電流回路30からの出力電圧（延いては、出力トランジスタT_o、検出トランジスタT_sのゲート電圧）を、その電源電圧に対応した所定電圧以下にクランプするようにしているのである。

【0102】尚、本実施例の負荷駆動回路は、基本的には、図7に示した第5実施例の負荷駆動回路と同様に構成されており、第5実施例の負荷駆動回路と異なる点は、下記の2点である。即ち、本実施例では、定電流回路30において、電源端子8とPNPトランジスタT₁₁、T₁₂のエミッタとを抵抗R₁を介して接続し、その接続点と電源端子9との間に、接続点側をカソード、電源端子9側をアノードとして、電圧クランプ用のツェナーダイオードZDを設けている。この結果、定電流回

路30内で定電流を生成するための電源電圧は、ツェナーダイオードZDの降伏電圧で決まる所定電圧以下にクランプされ、電源端子8、9を介して外部から供給される電源電圧が高くなった際に、出力トランジスタ T_o や検出トランジスタ T_s が定電流回路30からの出力電圧によって劣化するのを防止できる。

【0103】また、本実施例では、定電流回路30において、PNPトランジスタ T_{12} と共にカレントミラー回路を構成するPNPトランジスタ T_{11} のベース-コレクタ間を直結するのではなく、PNPトランジスタ T_{11} のベースにPNPトランジスタ T_{13} のエミッタを接続し、PNPトランジスタ T_{11} のコレクタにPNPトランジスタ T_{13} のベースを接続することにより、PNPトランジスタ T_{11} のベース-コレクタ間をPNPトランジスタ T_{13} のエミッターベース間で接続し、更に、PNPトランジスタ T_{13} のコレクタを電源端子9に接続している。

【0104】これは、第5実施例の負荷駆動回路のように、定電流回路30内のPNPトランジスタ T_{11} のベース-コレクタ間を直結すると、定電流源32に、PNPトランジスタ T_{11} 及び T_{12} のベース電流が流れ込み、定電流回路30から検出トランジスタ T_s 及び出力トランジスタ T_o のゲートに供給される電流が、定電流源32に流れる定電流からずれてしまうためである。つまり、本実施例では、定電流回路30にPNPトランジスタ T_{13} を設けることにより、PNPトランジスタ T_{11} 、 T_{12} のベース電流をPNPトランジスタ T_{13} に流し、定電流回路30から各トランジスタ T_s 、 T_o のゲートに供給される定電流を、より高精度に制御できるようにしているのである。

【0105】(第8実施例)図10は、第8実施例の負荷駆動回路の構成を表す電気回路図である。第8実施例の負荷駆動回路は、上記第7実施例における定電流回路30を更に改良したものであり、第7実施例と異なる点は、定電流回路30において、電源端子8とPNPトランジスタ T_{11} 、 T_{12} のエミッタとを、抵抗 R_1 ではなく、PNPトランジスタ T_{14} を介して接続し、更に、このPNPトランジスタ T_{14} と共にカレントミラー回路を構成するPNPトランジスタ T_{15} と、PNPトランジスタ T_{15} に定電流を流す定電流源34とを設けた点である。

【0106】つまり、第7実施例の定電流回路30では、電源端子8とPNPトランジスタ T_{11} 、 T_{12} のエミッタとを抵抗 R_1 を介して接続していることから、抵抗 R_1 にて消費される電力量により、定電流回路30での電力消費量が多くなるとか、抵抗 R_1 が発熱するという問題がある。

【0107】そこで、本実施例では、この抵抗 R_1 の代わりに、エミッタが電源端子8に接続され、コレクタがPNPトランジスタ T_{11} 、 T_{12} のエミッタに接続さ

れたPNPトランジスタ T_{14} を設け、このPNPトランジスタ T_{14} を介して、PNPトランジスタ T_{11} 、 T_{12} 側に電流を供給することにより、定電流回路30での電力消費量を低減するようにしているのである。

【0108】尚、PNPトランジスタ T_{14} と共にカレントミラー回路を構成するPNPトランジスタ T_{15} は、エミッタ及びベースが、夫々、PNPトランジスタ T_{14} のエミッタ及びベースに共通接続されると共に、ベース-コレクタ間が直結され、コレクタが定電流源34を介して電源端子9に接続されている。

【0109】(第9実施例)図11は、第9実施例の負荷駆動回路の構成を表す電気回路図である。第9実施例の負荷駆動回路は、上述した第4実施例～第8実施例の負荷駆動回路のように、定電流回路30内にPNPトランジスタ T_{11} 、 T_{12} からなるカレントミラー回路を設け、一方のPNPトランジスタ T_{12} から検出トランジスタ T_s のゲート側に定電流を供給するようにした場合に生じるPNPトランジスタ T_{12} のアリー効果をキャンセルできるようにしたものであり、基本的には、図6に示した第4実施例の負荷駆動回路と同様に構成されている。

【0110】そして、第4実施例の負荷駆動回路と異なる点は、PNPトランジスタ T_{12} のアリー効果をキャンセルするために、定電流回路30内に、第5トランジスタとしてのPNPトランジスタ T_{16} と、第6トランジスタとしてのPNPトランジスタ T_{17} とを設けた点と、定電流源32にPNPトランジスタ T_{11} 、 T_{12} のベース電流が流れ込むのを防止するために、図9に示した第7実施例のものと同様に、PNPトランジスタ T_{13} を設けた点である。

【0111】尚、PNPトランジスタ T_{13} の結線状態及びその機能は、第7実施例で説明した通りであるため、説明は省略し、ここでは、アリー効果キャンセル用のPNPトランジスタ T_{16} 、 T_{17} について説明する。まず、第5トランジスタとしてのPNPトランジスタ T_{16} は、エミッタがPNPトランジスタ T_{12} のエミッタに接続され、ベースがPNPトランジスタ T_{12} のコレクタに接続され、コレクタが抵抗 R_2 を介して、電源端子9に接続されている。

【0112】また、第6トランジスタとしてのPNPトランジスタ T_{17} は、エミッタがPNPトランジスタ T_{12} のコレクタに接続され、ベースがPNPトランジスタ T_{16} のコレクタに接続され、コレクタが検出トランジスタ T_s のゲートに接続されている。

【0113】このため、本実施例の負荷駆動回路においては、定電流を流し出すPNPトランジスタ T_{12} のコレクター-エミッタ間電圧を、PNPトランジスタ T_{16} のベース-エミッタ間の順方向電圧 V_f (約0.7V)に固定して、PNPトランジスタ T_{12} のアリー効果をキャンセルすることができる。

【0114】従って、本実施例の負荷駆動回路によれば、PNPトランジスタT12にPNPトランジスタT11に流れた電流に比例した定電流が流れ、この定電流をPNPトランジスタT17を介して、検出トランジスタTsのゲート側に供給できることになり、負荷電流をより高精度に所定値以下に制限することが可能となる。尚、この理由は、「課題を解決するための手段」の項で既に説明しているため、説明は省略する。

【0115】（第10実施例）図12は、第10実施例の負荷駆動回路の構成を表す電気回路図である。第10実施例の負荷駆動回路は、負荷2への通電・遮断を外部からの制御信号によって速やかに切り換えることができるようにしたものであり、具体的には、図3に示した第1実施例の負荷駆動回路に対して、定電流回路30から検出トランジスタTsのゲートに至る定電流の供給経路上にスイッチング素子S1を設け、更に、出力トランジスタToのゲートと電源端子9とをスイッチング素子S2を介して接続できるように構成されている。尚、本実施例では、電源端子9は、負荷駆動用直流電源の負極側と同電位となるように、グランドに接地される。

【0116】このため、本実施例の負荷駆動回路によれば、負荷2を駆動する際には、スイッチング素子SW1をオンして、定電流回路30から検出トランジスタTsのゲート側に定電流を供給させ、負荷2の駆動を停止する際には、スイッチング素子SW1をオフし、スイッチング素子SW2をオンすればよい。

【0117】そして、負荷2の駆動を停止するためにスイッチング素子SW2をオンした際には、出力トランジスタToのゲートがグランドに接地されることになるので、出力トランジスタToの寄生容量に蓄積された電荷が速やかに放電され、出力トランジスタToが速やかにオフすることになる。

【0118】このため、本実施例の負荷駆動回路によれば、負荷2の駆動を停止する際に、負荷2への通電を速やかに遮断することができる。尚、スイッチング素子S2は、本発明の放電手段として機能する。

（第11実施例）図13は、第11実施例の負荷駆動回路の構成を表す電気回路図である。

【0119】第11実施例の負荷駆動回路は、図12に示した第10実施例の負荷駆動回路に対して、第1、第2トランジスタとしてのNPNトランジスタT1、T2と共にカレントミラー回路10を構成する第7トランジスタとしてのNPNトランジスタT8を設けると共に、このNPNトランジスタT8に流れる電流から負荷電流が所定値以上の過電流になったか否かを判断して、その判断結果に従い負荷2の駆動（通電）を停止或いは開始させる断続制御回路40を設けたものである。

【0120】図13に示すように、NPNトランジスタT8は、ベース及びエミッタが、夫々、NPNトランジスタT1、T2のベース及びエミッタに共通接続されて

おり、コレクタが、断続制御回路40に設けられた定電流源42を介して、電源端子8に接続されている。

【0121】一方、断続制御回路40には、上記定電流源42に加えて、定電流源42とNPNトランジスタT8との接続点にベースが接続され、エミッタが電源端子8に接続され、コレクタがコンデンサC1を介して電源端子9に接続されたPNPトランジスタT21と、コンデンサC1に並列接続された定電流源44と、コンデンサC1とPNPトランジスタT21との接続点の電圧（以下、コンデンサ電圧という）と予め設定された基準電圧Vthとを比較して、コンデンサ電圧が基準電圧Vth以下であるときには、スイッチング素子SW1をオン状態、スイッチング素子SW2をオフ状態にするための制御信号（例えばHighレベルの制御信号）を出力し、コンデンサ電圧が基準電圧Vthを越えると、スイッチング素子SW1をオフ状態、スイッチング素子SW2をオン状態にするための制御信号（例えばLowレベルの制御信号）を出力するシュミットトリガ46とが設けられている。

【0122】ここで、定電流源42は、電源端子8から電源供給を受けて、NPNトランジスタT8のコレクタ側に電流を流し出すものであり、定電流源44は、PNPトランジスタT21を介してコンデンサC1に蓄積された電荷を放電させるものである。

【0123】また、シュミットトリガ46は、入力電圧（この場合コンデンサ電圧）の基準電圧Vth付近で変化した際に出力がハンチングすることのないように、入力電圧の判定動作にヒステリシスを持たせたものであることから、実際には、Highレベルの制御信号を出力しているときには、コンデンサ電圧が基準電圧Vthに対して所定電圧以上高い電圧になったか否かを判断し、Lowレベルの制御信号を出力しているときには、コンデンサ電圧が基準電圧Vthに対して所定電圧以上低い電圧になったか否かを判断する。

【0124】このように構成された断続制御回路40において、負荷電流が正常な通常時には、カレントミラー回路10を構成するNPNトランジスタT8に電流が流れないことから、PNPトランジスタT21のベースは、電源端子8を介して供給される電源電圧となり、PNPトランジスタT21は完全にオフ状態となり、コンデンサC1が充電されることはない。

【0125】また、たとえ、コンデンサC1に電荷が蓄積されていても、定電流源44による放電動作によって、コンデンサC1に蓄積された電荷は完全に放電されることから、シュミットトリガ46に入力されるコンデンサ電圧は0V（電源端子9が接地されるグランド電位）となる。

【0126】このため、シュミットトリガ46からは、スイッチング素子SW1をオンし、スイッチング素子SW2をオフするHighレベルの制御信号が出力され、定電

流回路30から検出トランジスタTsのゲートに定電流が供給されて、負荷2には、出力トランジスタToを介して負荷電流が供給されることになる。

【0127】この状態で、負荷電流が増加し、検出トランジスタTs及びNPNトランジスタT1に負荷電流に比例した電流が流れると、NPNトランジスタT8にも、負荷電流に比例した電流が流れる。尚、このとき、NPNトランジスタT8に流れる電流は、定電流源42から供給される。

【0128】そして、負荷電流が更に増加し、定電流源42からNPNトランジスタT8に電流を供給できなくなると、PNPトランジスタT21のエミッターベース間に順方向に電流が流れ、NPNトランジスタT8には、定電流源42とPNPトランジスタT21との両方から電流が供給されることになる。

【0129】また、このようにPNPトランジスタT21にベース電流が流れると、このベース電流をhFE倍した電流が、PNPトランジスタT21のコレクタからコンデンサC1に供給される。一方、コンデンサC1には、充電電荷を放電させる定電流源44が接続されていることから、PNPトランジスタT21のコレクタ電流が定電流源44が流す定電流よりも小さい場合には、コンデンサC1に電荷が充電されることはない。

【0130】しかし、負荷電流が更に増加し、それに応じて、PNPトランジスタT21のコレクタ電流が増加し、定電流源44が流し得る電流値を越えると、コンデンサC1は、PNPトランジスタT21から供給されるコレクタ電流により充電される。

【0131】尚、本実施例の断続制御回路40では、PNPトランジスタT21のコレクタ電流が定電流源44が流し得る電流値を越えて、コンデンサC1への充電が開始されるときに負荷電流が、過電流の判定値として設定されている。そして、この過電流判定値は、例えば、5Aに設定されており、定電流回路30が検出トランジスタTsのゲート側に流し出す定電流Icによって決まる電流制限値（例えば8A）よりも低い値となっている。

【0132】そして、コンデンサC1への充電によって、コンデンサ電圧が基準電圧Vthよりも所定値以上高い電圧に達すると、シュミットトリガ46から出力される制御信号がHighレベルからLowレベルに反転して、スイッチング素子SW1がオフされ、スイッチング素子SW2をオンされる。この結果、出力トランジスタToは速やかにオフされ、負荷2への負荷電流の供給が遮断される。

【0133】またこのように、出力トランジスタToがオフされると、負荷電流が遮断されることから、カレントミラー回路10を構成するNPNトランジスタT1、T2、T8にも電流が流れなくなり、PNPトランジスタT21はオフ状態となる。この結果、コンデンサC1

に蓄積された電荷は、定電流源44を介して放電される。

【0134】そして、この放電により、コンデンサ電圧が基準電圧Vthよりも所定電圧以上低くなると、シュミットトリガ46から出力される制御信号は、再びHighレベルとなり、スイッチング素子SW1がオン状態、スイッチング素子SW2がオフ状態に切り換えられて、負荷2への電流供給が再開される。

【0135】以上説明したように、本実施例の負荷駆動回路においては、負荷電流が過電流判定値以上になると、コンデンサC1への充電時間によって定まる所定の遅延時間経過後に、スイッチング素子SW1及びSW2のオン・オフ状態を反転させて、出力トランジスタToを速やかにオフさせ、負荷2への電流供給を停止させる。また、負荷2への電流供給を停止すると、今度は、コンデンサC1からの放電時間によって定まる所定時間経過後に、スイッチング素子SW1及びSW2のオン・オフ状態を再度反転させることにより、出力トランジスタToをオンさせ、負荷2への電流供給を再開する。従って、負荷2に過電流が流れる際には、出力トランジスタToが繰り返しオン・オフされることになり、出力トランジスタToに過電流が流れることによって生じる電力損失を低減できる。

【0136】また、過電流を判定してから（換言すればコンデンサC1への充電を開始してから）、コンデンサC1への充電に要する所定時間が経過する迄の間は、出力トランジスタToをオフしないようにしていることから、起動時に負荷2に流れる突入電流を、過電流と誤判定し、出力トランジスタToを誤ってオフさせてしまうのを防止できる。尚、本実施例では、こうした遅延時間を設定するために使用されるコンデンサC1が、本発明の遅延手段として機能することになる。

【0137】また更に、本実施例では、過電流を判定して、出力トランジスタToをオフする迄に遅延時間を設けていることから、例えば、負荷2が短絡故障した場合には、出力トランジスタToに大きな負荷電流が流れることになるが、この負荷電流は、カレントミラー回路10を構成するNPNトランジスタT2が出力トランジスタToのゲートから電流を引き抜くことにより、所定値以下に制限されることから、出力トランジスタToが負荷電流によって劣化或いは破壊することはない。

【0138】（第12実施例）図14は、第12実施例の負荷駆動回路の構成を表す電気回路図である。第12実施例の負荷駆動回路は、図13に示した第11実施例の負荷駆動回路に対して、カレントミラー回路10を構成するNPNトランジスタT1、T2、T8において互いに接続されている制御端子（ベース）と負の電源ラインとの間に接続された抵抗Aと、出力トランジスタToの制御端子（ゲート）と負の電源ラインとの間に（換言すればカレントミラー回路10のNPNトランジスタT

2に対して並列に) 接続された抵抗Bとを追加したものである。

【0139】ここで、抵抗Aは、請求項18に記載のバイアス手段に相当するものであり、カレントミラー回路10を構成する各NPNトランジスタT1、T2、T8のベースから負の電源ライン側に微小電流を流すことによって、負の電源ラインの電位が変動しても、各トランジスタT1、T2、T8のベース電位が、負の電源ラインに対して所定電位差となるように保持する。

【0140】また、抵抗Bは、請求項17に記載のバイアス手段に相当するものであり、電圧降下手段20としてのダイオードDを介して出力トランジスタT_oのゲート側に供給された電流の一部をカレントミラー回路10を迂回する電流経路で負の電源ライン側に流すことによって、電源電圧の低下時にダイオードDに電流が流れなくなるのを防止し、出力トランジスタT_oのゲート電位を検出トランジスタT_sのゲート電位に対応した一定値に保持する。

【0141】従って、本第12実施例の負荷駆動回路によれば、例えば負荷電流の増大等に伴い負の電源ラインの電位が変動し際に、カレントミラー回路10の動作が不安定となって、NPNトランジスタT2による負荷電流の制限動作が正常に機能しなくなるのを防止することができる。また、電源電圧の低下時に、ダイオードDに電流が流れず、出力トランジスタT_oのゲート電位が不安定となって、負荷電流の制限動作が正常に機能しなくなるのを防止することができる。よって、本第12実施例の負荷駆動回路によれば、第11実施例の負荷駆動回路に比べて、負荷電流をより安定して制限することが可能となる。

【0142】尚、バイアス手段としての抵抗A、Bは、図13に示した第11実施例の負荷駆動回路に限らず、上述した第1実施例～第10実施例の負荷駆動回路にも同様に設けることができ、同様の効果を発揮することができる。また、これら各抵抗A、Bは、何れか一方を設けるようにしてもよい。これら各抵抗A、Bは、微小電流を流すことにより、NPNトランジスタT2のベース電位或いは出力トランジスタT_oのゲート電位を安定化させるものであることから、各抵抗A、Bに代えて、定電流回路を設けるようにしてもよい。

【0143】以上、本発明を適用した各種実施例について説明したが、本発明は、上述した実施例に限定されるものではなく、種々の態様を採ることができる。例えば、上記各実施例では、出力トランジスタT_o、検出トランジスタT_sには、MOSトランジスタを使用するものとして説明したが、これら各トランジスタT_o、T_sは、夫々、バイポーラトランジスタに変更することもできる。具体的には、例えば、負荷駆動回路が図3に示したローサイド型のものであれば、出力トランジスタT_o、検出トランジスタT_sを、NチャネルMOSトラン

ジスタに代えて、NPN型のバイポーラトランジスタを使用するようにすればよく、負荷駆動回路が図4に示したハイサイド型のものであれば、出力トランジスタT_o、検出トランジスタT_sを、PチャネルMOSトランジスタに代えて、PNP型のバイポーラトランジスタを使用するようにすればよい。

【0144】また、第4実施例以降の説明では、全て、図3に示した第1実施例の負荷駆動回路を基本回路とするローサイド型の負荷駆動回路を例に採り説明したが、第四実施例以降で説明した定電流回路30や電圧クランプ用の回路、或いは電源断統制御回路40等は、ハイサイド型の負荷駆動回路等、第1実施例以外の負荷駆動回路にも適用できる。

【図面の簡単な説明】

【図1】 本発明の負荷駆動回路の基本構成を例示するブロック図である。

【図2】 本発明の負荷駆動回路による負荷電流制限動作を説明する説明図である。

【図3】 第1実施例の負荷駆動回路の構成を表す電気回路図である。

【図4】 第2実施例の負荷駆動回路の構成を表す電気回路図である。

【図5】 第3実施例の負荷駆動回路の構成を表す電気回路図である。

【図6】 第4実施例の負荷駆動回路の構成を表す電気回路図である。

【図7】 第5実施例の負荷駆動回路の構成を表す電気回路図である。

【図8】 第6実施例の負荷駆動回路の構成を表す電気回路図である。

【図9】 第7実施例の負荷駆動回路の構成を表す電気回路図である。

【図10】 第8実施例の負荷駆動回路の構成を表す電気回路図である。

【図11】 第9実施例の負荷駆動回路の構成を表す電気回路図である。

【図12】 第10実施例の負荷駆動回路の構成を表す電気回路図である。

【図13】 第11実施例の負荷駆動回路の構成を表す電気回路図である。

【図14】 第12実施例の負荷駆動回路の構成を表す電気回路図である。

【図15】 従来の負荷駆動回路の構成を表す電気回路図である。

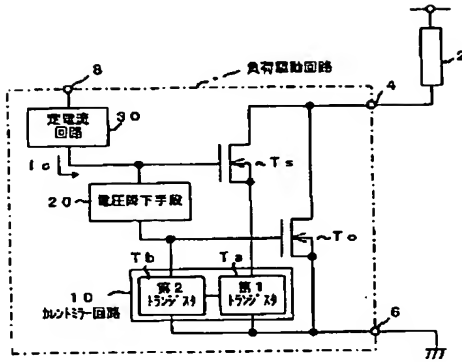
【図16】 従来の負荷駆動回路による負荷電流制限動作を説明する説明図である。

【符号の説明】

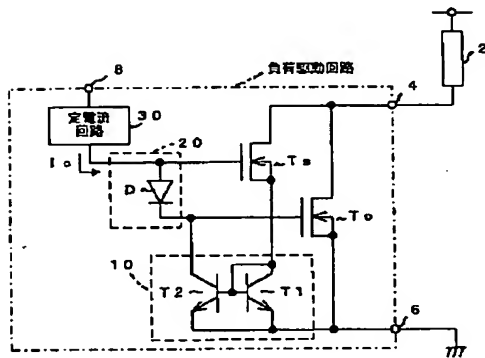
T_o…出力トランジスタ、T_s…検出トランジスタ、2…負荷、4、6…出力端子、8、9…電源端子、10…カレントミラー回路、20…電圧降下手段、30…定電

流回路、40…断続制御回路。

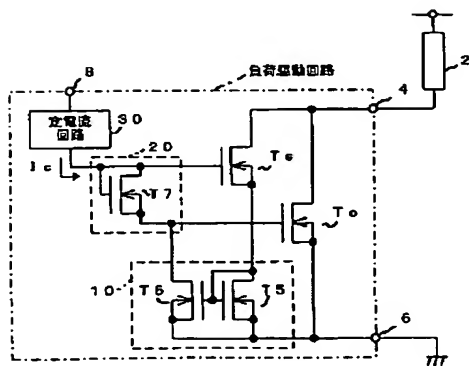
【図1】



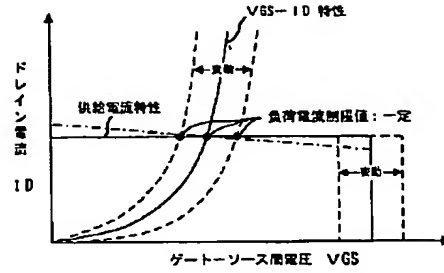
【図3】



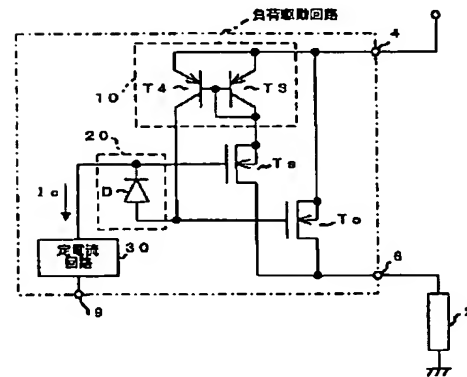
【図5】



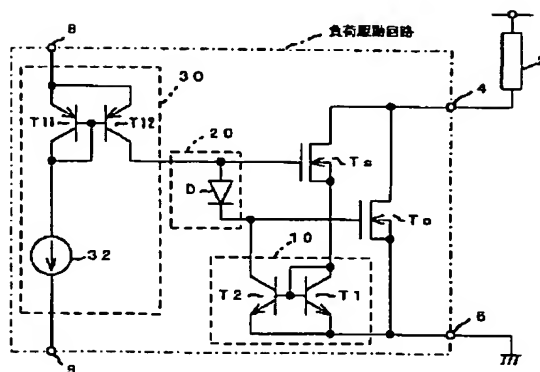
【図2】



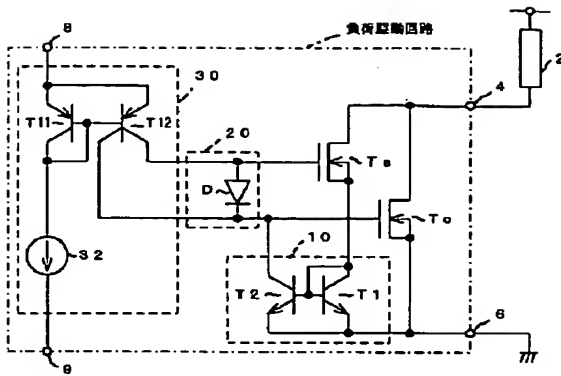
【図4】



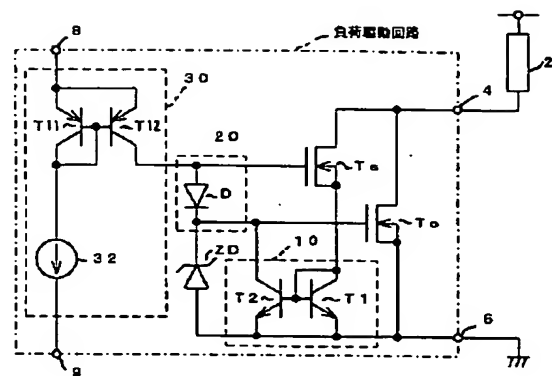
【図6】



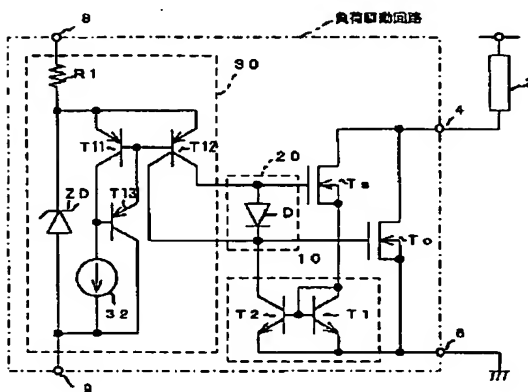
【図7】



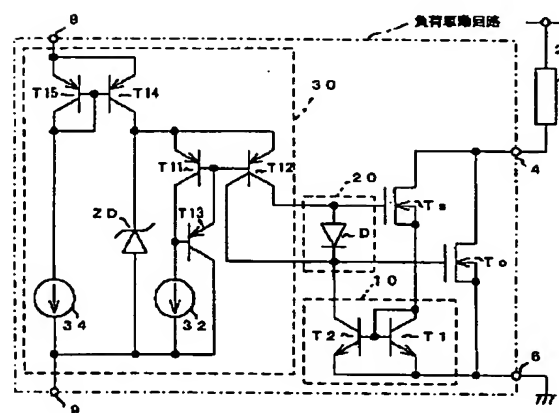
【図8】



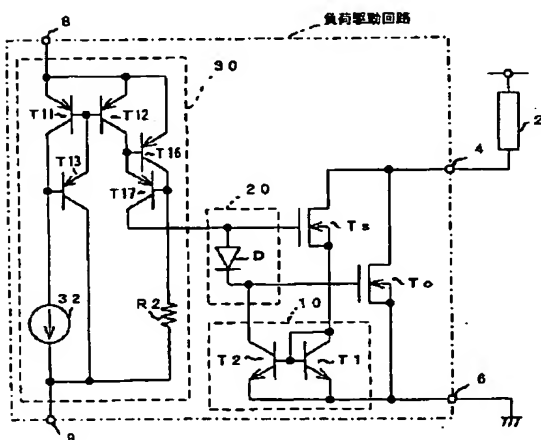
【図9】



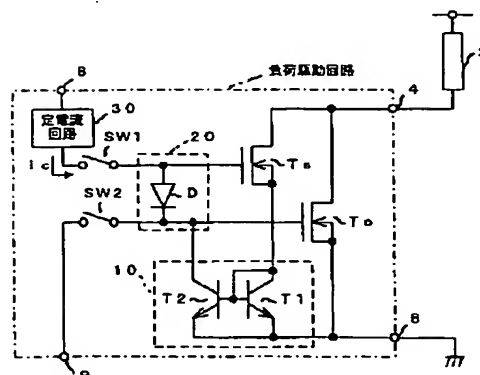
【図10】



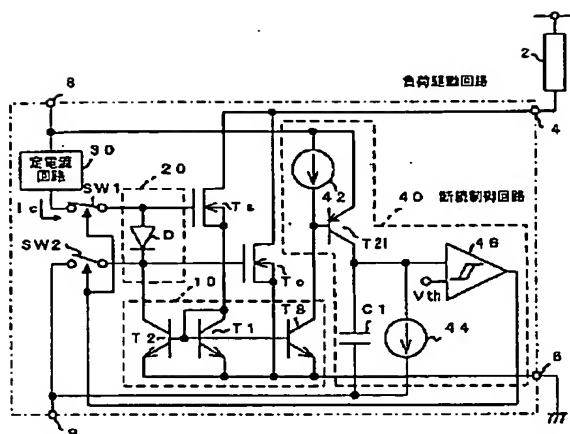
【図11】



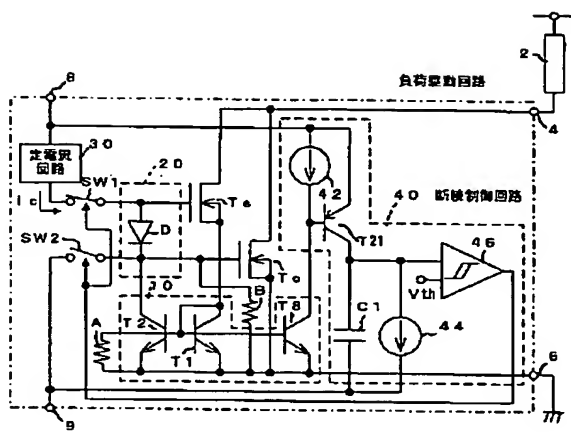
【図12】



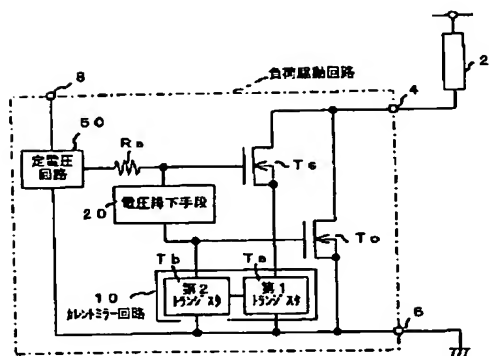
【図13】



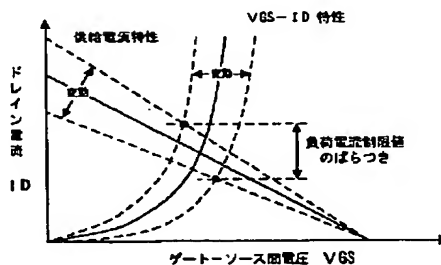
【図14】



【図15】



【図16】



フロントページの続き

Fターム(参考) 5H420 NA17 NB03 NB25 NB36 NC02
NE23
5J055 AX11 AX15 AX31 AX48 AX64
BX16 CX00 CX28 DX04 DX05
DX13 DX14 DX22 DX52 DX54
DX73 EY01 EY10 EY12 EY13
EY17 EY21 EZ03 EZ04 EZ11
EZ62 FX04 FX35 GX01 GX02
GX06